Method of Fabricating Copper Barrier PAT. NO. 436995

A method of fabricating a diffusion barrier employs titanium (Ti) and titanium nitride (TiN) composite films as copper (Cu) liner materials. Titanium metal process is a two-step ionized metal plasma sputtering (IMP sputtering) for the growth of adhesion layers, promising to integrate Cu interconnects. Within the first stage, step coverage of sputtered Ti increases by applying a bias to the substrate, while a preferred crystal orientation (002) of the titanium lattice structure obtained without a bias in the second stage. A TiN layer will be deposited on top of the (002) oriented adhesion layer to get (100) orientation, which is a prerequisite for the subsequent electroplating process. Finally, an intended (111) orientation of the Cu metal layer is obtained by the electroplating process, which enables increasing electromigration lifetime of the Cu interconnects, and assures better device reliability.

LEARNING TECH
www.learningtech.com.tw
中華民國專利資訊網

seednet
sees your needs

LEARNING TECH
www.learningtech.com.tw

**本系統專利資料僅供參考，不作為准駁依據，所有資料以經濟部智慧財產局公告為準 | 中文造字安裝程式：(約1.6M)

00436995 -- 核准公告專利公報資料

銅製程之阻障層製作方法

專利公告號	00436995
卷號	28
期號	15
公告日期	2001/5/28
國際專利分類號	H01L 21/768
申請案號	0089101662
申請日期	2000/1/31
申請人	旺宏電子股份有限公司 ;新竹科學工業園區新竹市力行路十六號
發明人	鄭培仁 ;新竹市香山區富群街三十巷一弄三十三號
證書號	134095
授權註記	無
讓與註記	無
繼承註記	無
異議註記	無
舉發註記	無
消滅日期	-
撤銷日期	-
專利權法定起迄日	2001/05/28 - 2020/01/30
年費有效日期	2006/05/27
年費有效年次	5

連穎科技股份有限公司 (c) Copyright 2003 Learningtech Corp.

公告本

申請日期	89.1.31
案號	89101662
類別	H01L 21/768

（以上各欄由本局填註）

A4
C4

436995

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	銅製程之阻障層製作方法
	英文	
二、發明 ~~創作~~ 人	姓名	鄭培仁
	國籍	中華民國
	住、居所	新竹市香山區富群街30巷1弄33號
三、申請人	姓名（名稱）	旺宏電子股份有限公司
	國籍	中華民國
	住、居所（事務所）	新竹科學工業園區新竹市力行路16號
	代表人姓名	胡定華

裝 訂 線

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要（發明之名稱：　　）

銅製程之阻障層製作方法

一阻障層的製作方法，採用鈦與氮化鈦複合膜層作爲阻障層的材質。並在鈦金屬的製程中，以兩階段的離子化金屬電漿濺鍍法(IMP sputtering)進行沈積製作，可以適用於銅金屬導體層的製程之中。在鈦金屬濺鍍製程的第一階段中，於晶座上施加一基板偏壓，以增進階梯覆蓋率。而在第二階段的製程中，則不施加任何的基板偏壓，以生成結晶座向(002)較高的鈦晶格結構。接著在結晶座向(002)的鈦襯墊層之上沈積形成一氮化鈦阻障層，使具有高度的(111)結晶座向。最後採用電鍍的方式，製作一高(111)結晶座向之銅金屬膜層，可以增進導電層的電致遷移生命期，並確保較佳的元件可靠度。

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ ）

5-1 發明領域：

本發明係有關於一種半導體製程方法，特別是有關於一種形成導體阻障層的方法。

5-2 發明背景：

在電子與半導體工業中，爲了獲致所需求的積體電路晶片功能，必須在單一半導體晶圓上建立許多的主動元件，如電阻、電容、電晶體等，包含各種不同的類型與功能。以今日的技術而言，在單一晶片上通常可以製造數以十萬計的半導體電路元件。爲了確保所有元件在操作時的獨立性，而不會影響各自的功能，晶片上的每個元件都必需在電性上加以隔離；而在特定的元件之間則必須加以連接，這樣才能使晶圓按照所設計的電路功能運作。

提供所有半導體元件之間電路連線的技術，稱爲金屬化(metallization)製程。在初期，只需要單層的金屬連線製作，就足以提供全部所需要的電路連線。然而在積體電路的製程技術越來越趨向降低元件尺寸以提高晶圓集積度時，其所需要的電路內連線設計也就越趨精密複雜。此時晶片的表面已無法提供製造內連線所需要的全部連線與隔離區域面積，於是必須發展出具有多層結構的內連線設計，稱爲多重內連線(multilevel-interconnect)技術。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ ）

然而當積體電路的技術發展使各個電路元件的使用面積越趨縮減時，因內連線所造成的時間延遲現象成爲提升積體電路運作速度的一大障礙。內連線的時間延遲現象將會降低電路元件的操作速度，擴大串擾訊號(cross talk)，並增加功率的消耗。爲了減輕日益嚴重的內連線時間延遲現象，以低電阻率的內連線導體材料與低介電常數的絕緣材料來製作內連線導體層與內連線間的介電隔離層，成爲必然的趨勢。而在考慮導體材料時，金屬銅以其較低的電阻率與較佳的抗電致遷移能力(electromigration resistance)，成爲製作內連線、接觸窗或介層窗等導體層的較佳選擇。然而，將銅金屬應用在積體電路中將會遭遇到其他的難題。由於銅原子極易擴散到如氧化矽或是含氧的高份子材質等一般常使用的介電材料之中，而與介電材料中的氧原子結合，造成銅材質與介電材質的腐蝕，並使內連線與介電層之間的附著力喪失，產生剝離(delamination)的現象而出現縫隙(void)，終而導致元件失效。爲了防止銅金屬的擴散現象，在銅製程中必須在銅導線與介電層之間設置阻障層予以隔離，避免二者直接接觸。

另外一個銅製程所面臨的問題，在於銅晶粒的大小所造成的影響，尤其是在內連線的線寬越趨縮減的趨勢下，其影響越形重要。在現行的研究中發現，當內連線線寬相

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（　）

對於銅晶粒大小的比值減小時，元件失效前所具有的平均生命期(mean time to failure, MTTF)下降到一最小值之後成指數比例增加。這表示越精細的銅晶粒結構將使元件失效前的平均生命期(MTTF)與電致遷移的生命期(electromigration lifetime)同時衰減。爲了因應此一特性，銅導線的製作通常都採用電鍍的方式來進行，因爲以電鍍方法所製作的銅金屬膜層具有較大的晶粒結構。

在以電鍍方法製作銅金屬膜層的技術中，爲了讓電鍍的銅原子順利附著，必須在擴散阻障層之上形成一種子層(seed layer)。此種子層與其底部的擴散阻障層的性質，對於電鍍銅的微觀結構有極大的影響。而對於電鍍銅的微觀結構，前人曾分別針對晶格座向(111)以及(200)的銅薄膜進行研究，這些研究指出，在同樣操作能量的條件下，晶格座向(111)的銅薄膜，其電致遷移的生命期遠大於(約爲四倍)晶格座向(200)的銅薄膜。然而，此一特性使得銅製程遭遇另一個難題。由於銅在氮化鈦(titanium nitride)之上難以形成良好的(111)晶格座向結構，而氮化鈦卻是傳統的半導體製程中所常用的阻障材質，因此在銅製程中勢必對於阻障層材質的選擇與製作進行調整。

爲了在銅製程中達到良好的(111)晶格座向結構，採用其他阻障材質作爲銅膜阻障層的技術已逐漸發展。其中鉭與氮化鉭(tantalum/tantalum nitride)複合膜層與銅

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（　　）

金屬之間具有良好的潤濕效果，並能於其上獲致高度(111)晶格座向的銅結構，因此漸受重視採用。然而，在積體電路積集度持續增進的情況下，元件尺寸不斷縮小，一般均以濺鍍(sputtering)方式沈積的鉭與氮化鉭複合膜層，其所能達成的階梯覆蓋(step coverage)率已不敷所需。當高積集度製程所需之渠溝或插塞的高寬比(aspect ratio)越見增高的情形下，不良的階梯覆蓋率將可能造成連線中斷，導致元件失效。

5-3 發明目的及概述：

鑒於上述之發明背景中，傳統所採用的銅金屬阻障材質之製作過程或不具良好的銅結晶座向配合能力，或不具良好的階梯覆蓋能力，因此本發明提供一阻障層的製作方法，可以適用於銅金屬導體層的製程之中。本發明採用鈦與氮化鈦複合膜層作爲阻障層的材質。並在鈦金屬層的製程中，以兩階段的離子化金屬電漿濺鍍製程(IMP sputtering)進行沈積製作。在鈦沈積製程的第一階段中，於晶座上配合施加一特定的基板偏壓，以增進沈積膜層的階梯覆蓋率。而在第二階段的製程中，則不施加任何的基板偏壓，而將晶座接地，以生成結晶座向(002)較高的鈦晶格結構。

接著採用化學氣相沈積法(CVD)，沈積形成一氮化鈦

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（　　）

阻障層在金屬鈦襯墊層之上，使此一氮化鈦阻障層具有高度的(111)座向之晶格結構。而在(111)座向的氮化鈦晶格結構之上，則先採用一般的物理氣相沈積製程(PVD)沈積形成一種子層，然後採用電鍍(electroplating)的方式，製作一銅金屬膜層於種子層之上，作爲導體層的主要結構，如此可以獲致高(111)結晶座向之銅金屬晶格，以及相對較大尺寸的銅晶粒結構，以增進導電層的電致遷移生命期，並確保較佳的元件可靠度。

5-4 圖式簡單說明：

本發明的較佳實施例將於往後之說明文字中輔以下列圖形做更詳細的闡述：

第一圖爲根據本發明較佳實施例在一基板上形成底部導電層與内金屬介電層，並形成導體層開口的半導體晶圓剖面圖；

第二圖爲爲根據本發明較佳實施例，以施加基板偏壓之離子化金屬電漿濺鍍製程沈積金屬鈦第一子層的半導體晶圓剖面圖；

第三圖爲爲根據本發明較佳實施例，以不施加基板偏壓之離子化金屬電漿濺鍍製程沈積金屬鈦第二子層的半導體晶圓剖面圖；

第四圖爲根據本發明較佳實施例，以化學氣相沈積法形成氮化鈦層的半導體晶圓剖面圖；

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（　　）

第五圖爲根據本發明較佳實施例，以電鍍方式形成銅金屬層的半導體晶圓剖面圖；以及

第六圖爲根據本發明較佳實施例，實施一回蝕製程，以將銅金屬層超出導體層開口上方的部分去除之半導體晶圓剖面圖。

5-5 發明詳細說明：

本發明提供一製作阻障層於一半導體基板上的方法，可以適用於銅金屬導體層的製程之中。本發明採用鈦與氮化鈦(Ti/TiN)複合膜層作爲阻障材質，並以兩階段的製程製作底部的鈦金屬層，以獲致較佳的階梯覆蓋率，並使上層的氮化鈦達到理想的結晶座向。其中應用到許多在傳統技藝中已廣爲熟知的技術如微影、蝕刻、化學氣相沈積法(Chemical Vapor Deposition, CVD)以及物理氣相沈積法(Physical Vapor Deposition, PVD)等，在此即不再詳述其內容。

在以下本發明的較佳實施例中，採用雙鑲嵌製程(dual damascene process)製作一層金屬內連線以及其下的接觸窗插塞(contact plug)或是介層窗插塞(via plug)。此一金屬化製程係以鈦與氮化鈦複合膜層作爲阻障層，並以金屬銅作爲主要的導體材質，其實施的步驟說明如下。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（　）

参見第一圖，基板100固置於晶座101之上，所有選定的半導體電路元件已建立在其中，導電層110則代表上述所有半導體電路元件的電極或是一個下層的金屬內連線。在不限制本發明的範疇且不脫離本發明所揭示的精神之下，在本發明的各圖示之中只顯示出金屬化製程之相關步驟，以及內連線金屬層的圖像；其他如電阻、電容、電晶體等電路元件並非本發明的主體，則不顯現於圖例之中。

在導電層110之上，沈積一內金屬介電層(inter-layer dielectric, ILD)120並予以平坦化，以作爲主動元件與內連線之間，或是上下層內連線之間的隔離層結構。此內金屬介電層(ILD)120通常以傳統的低壓化學氣相沈積法(Low Pressure CVD, LPCVD)、常壓化學氣相沈積法(Atmosphere Pressure CVD, APCVD)、次常壓化學氣相沈積法(Sub-Atmosphere CVD, SACVD)、電漿增強式化學氣相沈積法(Plasma Enhanced CVD, PECVD)或是高密度電漿化學氣相沈積法(High Density Plasma CVD, HDPCVD)等方式所形成，也可以採用旋塗(spin-on coating)方法塗佈。介電層120可採用正乙基矽酸氧化物(tetra-ethyl-ortho-silicate-oxide, TEOS-oxide)、硼磷矽玻璃(BPSG)、磷矽玻璃(PSG)、硼矽玻璃(BSG)、多矽氧化物(silicon-rich oxide, SRO)、未摻雜之矽化玻璃(USG)等氧化矽材料，或

（請先閱讀背面之注意事項再填寫本頁）
訂
線

經濟部智慧財產局員工消費合作社印製

是其它介電材料作爲沈積材質。此外也可以採用介電常數更低的氧化矽材料，如氟矽玻璃(Fluorine-doped Silicon Oxide，或記爲 Fluorosilicate Glass，FSG)或是HSQ(Hydrogen silsesquioxane)來製作。氟矽玻璃(FSG)可以採用化學氣相沈積製程製作，如高密度電漿化學氣相沈積法(HDPCVD)或是電漿增強式化學氣相沈積法(PECVD)等。HSQ則可採用旋塗式玻璃製程(spin-on glass process)，塗佈在基板上。

在內金屬介電層(ILD)120中，形成一導體層開口130，其中依序具有插塞開口132以及內連線開口134。一般而言，此一導體層開口130的製作，係先以一第一微影製程配合一第一非等向性蝕刻製程(anisotropic etching)的實施，形成內連線開口圖形134；再以一第二微影製程配合一第二非等向性蝕刻製程，形成插塞開口圖形132於內連線圖形134之下。在特定的實施例中，可以選擇性地在內金屬介電層(ILD)120中，預設一蝕刻終止層於插塞圖形132以及內連線圖形134之間的水平位置處，作爲第一非等向性蝕刻製程終點控制的依據。此外，其他的改良製程也可以應用於此導體層開口130的製程中。

在接下來的金屬化(metallization)製程中，首先需於插塞開口132以及內連線開口134中形成一金屬鈦襯墊

五、發明說明（　）

層140。此鈦層140包含兩個子層140a與140b，係以兩階段的離子化金屬電漿濺鍍製程(Ionized metal Plasma sputtering, IMP sputtering)製作，說明如下。

在鈦沈積製程的第一階段，採用第一離子化金屬電漿濺鍍製程(IMP sputtering)，並配合在晶座101上施加一特定的基板偏壓。此一基板偏壓可以增進沈積膜層階梯覆蓋率的實施完成度。離子化金屬電漿濺鍍製程(IMP sputtering)是物理氣相沈積法的一種，屬於非均向性的沈積製程，一般多採用直流與無線電波頻率(DC/RF)耦合激發的電漿作爲粒子源，通常適用在高寬比(aspect ratio)極大的接觸窗阻障層或襯墊層製程中，以獲致理想的階梯覆蓋率。當在離子化金屬電漿濺鍍製程中施加基板偏壓時，電漿中的離子化金屬粒子將受偏壓作用而具有更高的方向性，於是可以達到更高的階梯覆蓋率。如同第二圖中所顯示，在此一非均向性的沈積製程下，鈦的第一子層140a在接觸窗的底部所形成的膜層厚度，將較在側壁上的膜層更厚。在一較佳實施中，基板偏壓可以採用無線電波頻率電源施加於晶座101上。在更進一步的實施例中，所採用的電波頻率可以在13.56百萬赫茲(MHz)左右，功率則可以由0調整到300瓦(Watt)左右。

一般而言，晶座上所加的基板偏壓越高，電漿中的離子化金屬粒子所具有的方向性就越高，階梯覆蓋率也就越

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（　）

好。然而，外加的偏壓將同時提高離子化金屬粒子的能量，於是在高能粒子的轟擊下，所生成的薄膜的物理性質將因而受到影響。經由基板偏壓的作用，鈦的第一子層140a將生成結晶座向(101)的晶格結構，而非座向(002)的晶格結構。較之於座向(002)的晶格結構，座向(101)的鈦晶格結構較不利於後續氮化鈦的沈積製程。因此將沈積鈦的第二子層140b以因應此一狀況。

參見第三圖，以第二階段的鈦沈積製程，在鈦的第一子層140a上繼續沈積鈦的第二子層140b，以形成完整的金屬鈦襯墊層140。此一階段同樣採用離子化金屬電漿濺鍍製程(IMP sputtering)進行沈積，然而與第一階段不同的是，第二階段的離子化金屬電漿濺鍍製程並不施加任何的基板偏壓，而將晶座101接地。在不施加基板偏壓的情形下，所生成之鈦第二子層140b將具有較爲平坦的表面形狀以及較低的缺陷密度。而更重要的是，沒有基板偏壓的影響，鈦的第二子層140b將具有較高之結晶座向(002)的晶格結構。

在鈦的第二子層140b以及完整的金屬鈦襯墊層140形成之後，一氮化鈦阻障層150接著形成在金屬鈦襯墊層140之上。此一氮化鈦阻障層150可以採用化學氣相沈積法(CVD)製作，在一較佳實施例中，以有機金屬化學氣相沈積法(Metal Organic CVD, MOCVD)沈積氮化鈦阻障層

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

150爲適當，所形成的氮化鈦阻障層150在半導體晶圓上的剖面圖像顯示於第四圖中。氮化鈦阻障層150的作用，係在防止後續形成的內連線銅金屬層與內金屬介電層(ILD)120形成直接的接觸，而產生擴散的現象。由於阻障層的氮化鈦份子沈積在結晶座向爲(002)的鈦第二子層140b之上，阻障層150的氮化鈦將具有高度的(111)座向之晶格結構。由於在鈦的晶格結構中，(002)平面上的鈦原子間距離約爲2.95埃；而在氮化鈦的晶格結構中，(111)面向上的原子間距則約爲3.00埃，二著極爲接近。因此，(002)結晶座向的鈦結構當會加強(111)座向之氮化鈦晶格結構的形成率。而在(111)座向的氮化鈦晶格結構之上，將較易於獲致晶格結構爲(111)座向的銅金屬膜層。

接著，如同第五圖中所示，一銅金屬膜層160形成於氮化鈦阻障層150之上，而填滿導體層開口130之中，包含插塞開口圖形132以及內連線開口圖形134。在一較佳實施例中，此一銅金屬膜層160可以採用電鍍(electroplating)的方式製作，以獲致相對較大尺寸的銅晶粒結構。如同前文中所述，銅金屬電鍍製程實施時需先在氮化鈦阻障層150之上形成一種子層，作爲電鍍的銅粒子著附之處，銅種子層則可以採用一般的物理氣相沈積製程(PVD)沈積形成。銅的種子層與銅的電鍍層合併構成銅金屬膜層160，在圖例之中，二者視爲一整體，並不顯示出個別的圖像。在下方氮化鈦阻障層150之(111)晶格結

（請先閱讀背面之注意事項再填寫本頁）
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明（　）

構座向的襯底之下，銅金屬膜層160可以獲致(111)座向之晶格結構，而得到較長的電致遷移生命期(electromigration lifetime)，元件的效能也得以有效改善。

爲了完成本發明較佳實施例之金屬內連線的雙鑲嵌製程，最後實施一回蝕(etching back)製程，以將銅金屬膜層160超出導體層開口130之上的部分去除。此一回蝕製程以採用化學機械研磨法(Chemical Mechanical Polish, CMP)實施爲宜，可以在製程後同時得到全面性平坦化(global planarization)的效果。完整的雙鑲嵌內連線結構，包含插塞結構與平坦化的內連線導體層的剖面圖形顯示於第六圖之中。

採用以上本發明所提供的製程方法，可以採用鈦與氮化鈦複合膜層作爲阻障材質，防止內連線銅金屬層與內金屬介電層直接接觸而產生擴散的現象。底層的金屬鈦襯墊層140以本發明之兩階段製程製作可以同時滿足高階梯覆蓋率以及高(002)結晶座向的要求。在高(002)結晶座向的金屬鈦襯墊之下，可以使其上的氮化鈦阻障層150形成高(111)座向的晶格結構。而高(111)結晶座向的氮化鈦阻障層則有助於獲致高(111)結晶座向的金屬銅電鍍膜層160，內連線導體層的電致遷移生命期(electromigration lifetime)因此而大幅提高，元件的可靠度也得以確保。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ ）

以上所述僅爲本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；所有其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，例如採用雙鑲嵌(dual damascene)以外的製程製作導體層的銅結構，或是採用不同的供應電源對晶座施加基板偏壓等等，均應包含在下述之申請專利範圍內。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1. 一種在半導體基材上形成一阻障層的方法，該方法至少包含：

實施一第一離子化金屬電漿濺鍍製程(Ionized metal Plasma sputtering, IMP sputtering)以形成一第一鈦層於該半導體基材之上；

實施一第二離子化金屬電漿濺鍍製程以形成一第二鈦層於該第一鈦層之上；以及

形成一氮化鈦層於該第二鈦層之上。

2. 如申請專利範圍第1項之方法，其中上述之第一離子化金屬電漿濺鍍製程係在對該半導體基材施加偏壓的條件下實施。

3. 如申請專利範圍第2項之方法，其中上述對該半導體基材所施加的偏壓，係以無線電波頻率的供應電源提供。

4. 如申請專利範圍第3項之方法，其中上述之無線電波頻率的供應電源，係以13.56百萬赫茲(MHz)左右的頻率提供。

5. 如申請專利範圍第3項之方法，其中上述以無線電波頻率的供應電源對該半導體基材所施加的偏壓，係以0

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

至 300 瓦(Watt)間的功率提供。

6. 如申請專利範圍第 2 項之方法，其中上述對該半導體基材所施加的偏壓係施加於承置該半導體基材的晶座之上。

7. 如申請專利範圍第 1 項之方法，其中上述之第二離子化金屬電漿濺鍍製程係在該半導體基材接地的條件下實施。

8. 如申請專利範圍第 1 項之方法，其中上述之氮化鈦層係以化學氣相沈積法(Chemical Vapor Deposition, CVD)沈積形成。

9. 如申請專利範圍第 8 項之方法，其中上述之化學氣相沈積法爲有機金屬化學氣相沈積法(Metal Organic Chemical Vapor Deposition, MOCVD)。

10. 一種在半導體基材上形成一阻障層的方法，該方法至少包含：

實施一第一離子化金屬電漿濺鍍製程(Ionized metal Plasma sputtering, IMP sputtering)以形成一第一鈦層於該半導體基材之上，該第一離子化金屬電漿濺鍍製程係在對該半導體基材施加偏壓的條件下實施；

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

實施一第二離子化金屬電漿濺鍍製程以形成一第二鈦層於該第一鈦層之上，該第二離子化金屬電漿濺鍍製程係在該半導體基材接地的條件下實施；以及

形成一氮化鈦層於該第二鈦層之上。

11. 如申請專利範圍第10項之方法，其中上述對該半導體基材所施加的偏壓，係以無線電波頻率的供應電源提供。

12. 如申請專利範圍第11項之方法，其中上述之無線電波頻率的供應電源，係以13.56百萬赫茲(MHz)左右的頻率提供。

13. 如申請專利範圍第11項之方法，其中上述以無線電波頻率的供應電源對該半導體基材所施加的偏壓，係以0至300瓦(Watt)間的功率提供。

14. 如申請專利範圍第10項之方法，其中上述對該半導體基材所施加的偏壓係施加於承置該半導體基材的晶座之上。

15. 如申請專利範圍第10項之方法，其中上述之氮化鈦層係以化學氣相沈積法(Chemical Vapor Deposition, CVD)沈積形成。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

16. 如申請專利範圍第15項之方法，其中上述之化學氣相沈積法爲有機金屬化學氣相沈積法(Metal Organic Chemical Vapor Deposition, MOCVD)。

17. 一種在半導體基材上形成一銅導電層的方法，該方法至少包含：

實施一第一離子化金屬電漿濺鍍製程(Ionized metal Plasma sputtering, IMP sputtering)以形成一第一鈦層於該半導體基材之上，該第一離子化金屬電漿濺鍍製程係在對該半導體基材施加偏壓的條件下實施；

實施一第二離子化金屬電漿濺鍍製程以形成一第二鈦層於該第一鈦層之上，該第二離子化金屬電漿濺鍍製程係在該半導體基材接地的條件下實施；

形成一氮化鈦層於該第二鈦層之上；以及

形成一銅金屬層於該氮化鈦層之上。

18. 如申請專利範圍第17項之方法，其中上述對該半導體基材所施加的偏壓，係以無線電波頻率的供應電源提供。

19. 如申請專利範圍第18項之方法，其中上述之無線電波頻率的供應電源，係以13.56百萬赫茲(MHz)左右的頻率提供。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

20. 如申請專利範圍第18項之方法，其中上述以無線電波頻率的供應電源對該半導體基材所施加的偏壓，係以0至300瓦(Watt)間的功率提供。

21. 如申請專利範圍第17項之方法，其中上述對該半導體基材所施加的偏壓係施加於承置該半導體基材的晶座之上。

22. 如申請專利範圍第17項之方法，其中上述之氮化鈦層係以化學氣相沈積法(Chemical Vapor Deposition, CVD)沈積形成。

23. 如申請專利範圍第22項之方法，其中上述之化學氣相沈積法爲有機金屬化學氣相沈積法(Metal Organic Chemical Vapor Deposition, MOCVD)。

24. 如申請專利範圍第17項之方法，其中上述之銅金屬層採用電鍍形成。

25. 如申請專利範圍第17項之方法，其中在上述銅金屬電鍍步驟實施之前，更包含形成一銅種子層於該氮化鈦層之上。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

26. 如申請專利範圍第25項之方法，其中上述之銅種子層係以物理氣相沈積法(Physical Vapor Deposition, PVD)沈積形成。

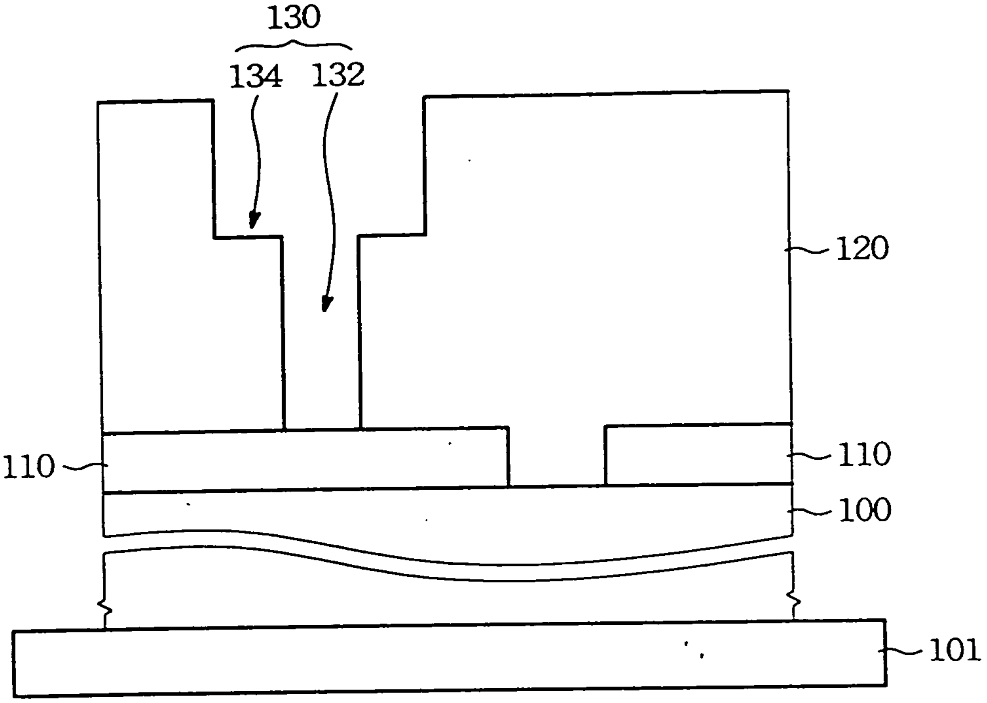
（請先閱讀背面之注意事項再填寫本頁）

裝

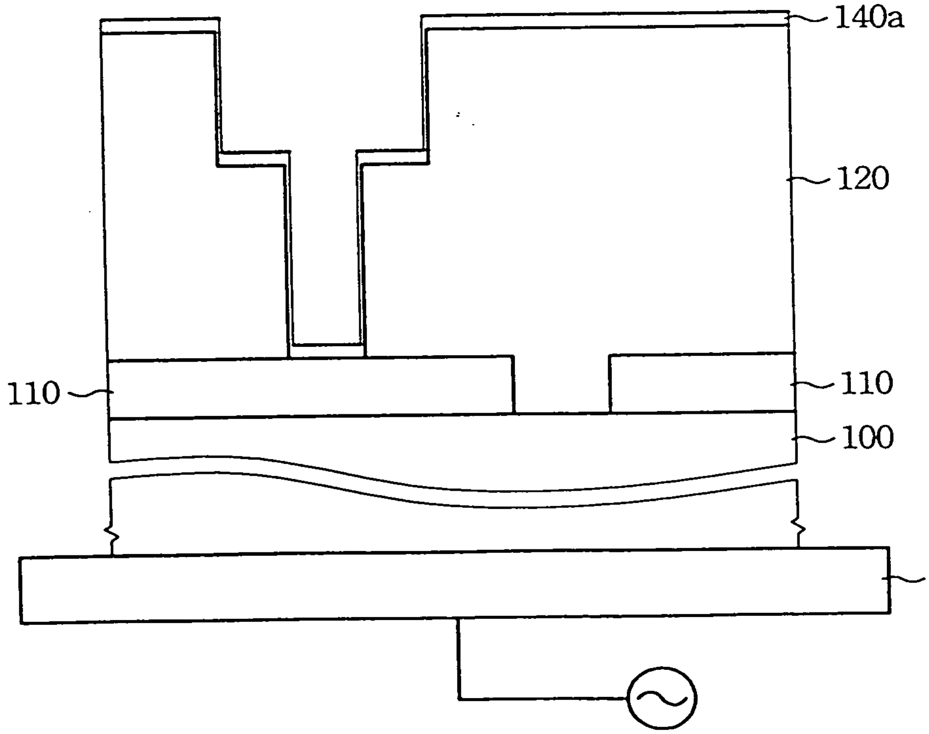
訂

線

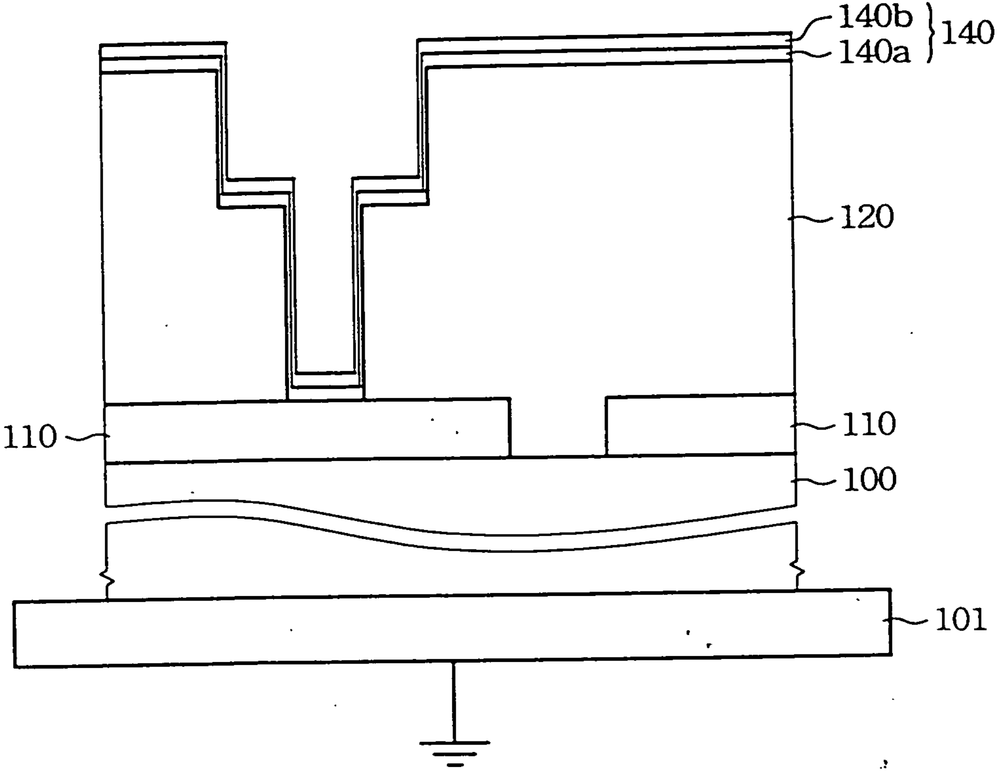
經濟部智慧財產局員工消費合作社印製



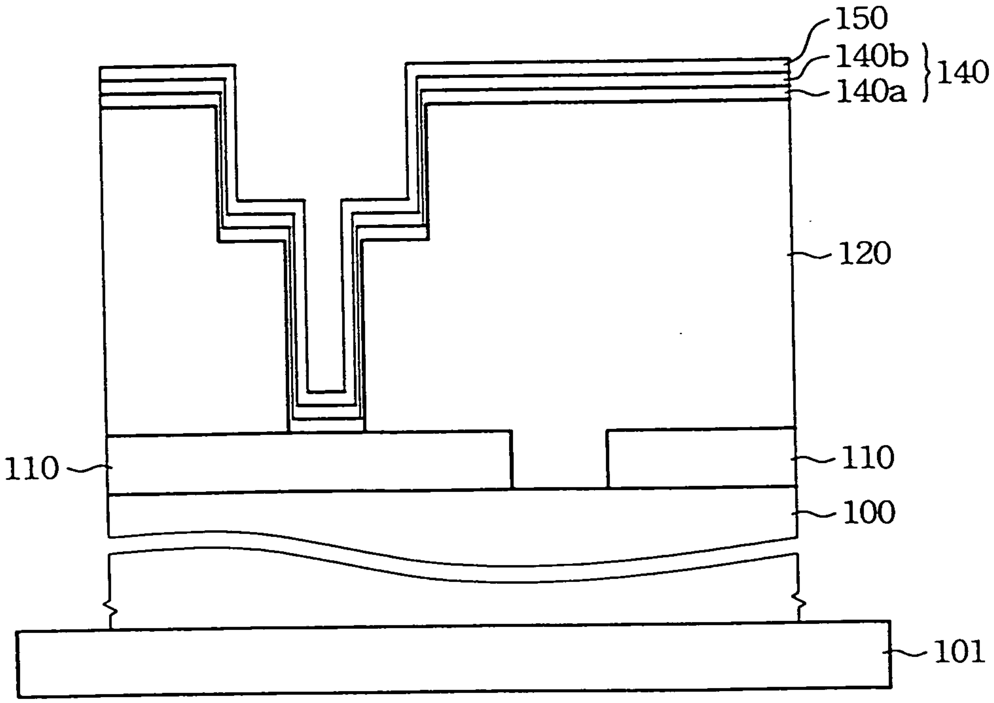
第一圖



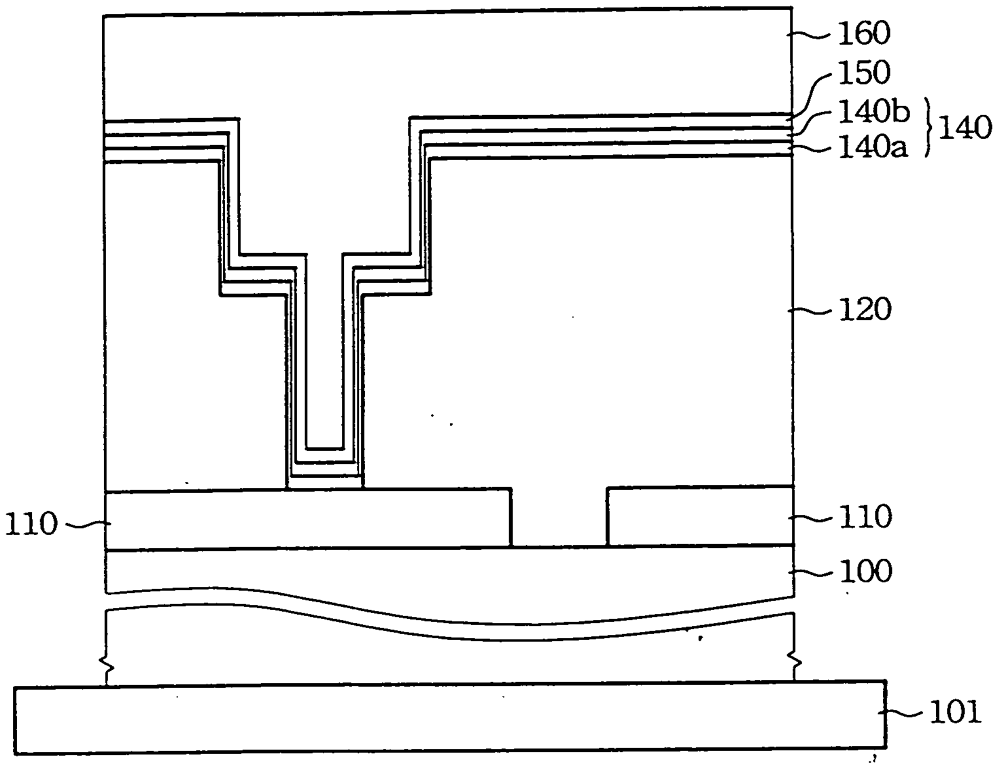
第二圖



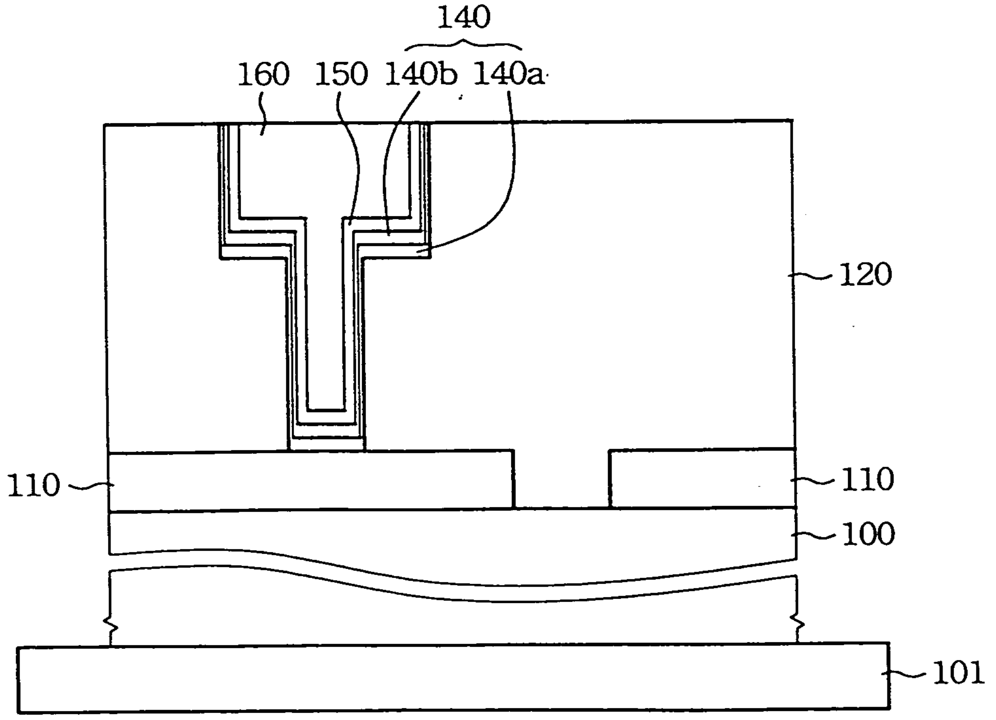
第三圖



第四圖



第五圖



第六圖